

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

14. 7. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 3 年 8 月 4 日

出 願 番 号  
Application Number: 特 願 2 0 0 3 - 2 8 5 6 2 1  
[ST. 10/C]: [ J P 2 0 0 3 - 2 8 5 6 2 1 ]

出 願 人  
Applicant(s): ソニー株式会社

REC'D 02 SEP 2004

WIPO

PCT

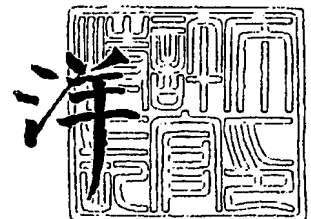
BEST AVAILABLE COPY

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2 0 0 4 年 8 月 2 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



【書類名】 特許願  
【整理番号】 0390431402  
【提出日】 平成15年 8月 4日  
【あて先】 特許庁長官 殿  
【国際特許分類】 G02F 1/133  
G09G 3/36

【発明者】  
【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内  
【氏名】 小林 寛

【発明者】  
【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内  
【氏名】 原野 環

【特許出願人】  
【識別番号】 000002185  
【氏名又は名称】 ソニー株式会社

【代理人】  
【識別番号】 100086298  
【弁理士】  
【氏名又は名称】 船橋 國則  
【電話番号】 046-228-9850

【手数料の表示】  
【予納台帳番号】 007364  
【納付金額】 21,000円

【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9904452

**【書類名】特許請求の範囲****【請求項 1】**

画素が行列状に配置され、これら画素配列の各垂直画素列ごとに信号線が配線されてなる画素アレイ部と、

水平走査の開始を指令する水平スタートパルス、水平走査の基準となる第一のクロックパルスおよび当該第一のクロックパルスに同期した  $n$  相 ( $n$  は 3 相以上の整数) の第二のクロックパルス生成するクロック生成手段と、

前記水平スタートパルスを前記第一のクロックパルスに同期して順に転送する転送段が縦続接続されてなり、各転送段から転送パルスを順次出力するシフトレジスタと、

前記シフトレジスタから順次出力される前記転送パルスに应答して前記第二のクロックパルスを抜き取ることによってサンプリングパルスを順次生成する第一のスイッチ群と、

入力される映像信号を前記第一のスイッチ群で生成された前記サンプリングパルスに应答して順次サンプリングして前記画素アレイ部の各信号線に供給する第二のスイッチ群とを備え、

前記スタートパルスは、前記第一のクロックパルスの複数のパルスを含むパルス幅を持っている

ことを特徴とする表示装置。

**【請求項 2】**

前記第二のクロックパルスの周期は、前記第一のクロックパルスの  $n$  倍である

ことを特徴とする請求項 1 記載の表示装置。

**【請求項 3】**

前記第二のクロックパルスのパルス幅は、前記第一のクロックパルスのパルス幅よりも広い

ことを特徴とする請求項 2 記載の表示装置。

**【請求項 4】**

前記第二のスイッチ群の各スイッチは、飛び飛びに配された第一組のスイッチ群と、当該第一組に属する各スイッチから一個ずれて配された第二組のスイッチ群との少なくとも二組に分かれているとともに、当該少なくとも二組のスイッチ群には前記映像信号が少なくとも二系統に分かれて供給され、

前記第一のスイッチ群で生成された前記サンプリングパルスは、前記第二のスイッチ群の少なくとも二組のスイッチ群に分けて供給される

ことを特徴とする請求項 1 記載の表示装置。

**【請求項 5】**

前記第二のクロックパルスの周期は、前記第一のクロックパルスの  $n$  倍である

ことを特徴とする請求項 3 記載の表示装置。

**【請求項 6】**

前記第二のクロックパルスのパルス幅は、前記第一のクロックパルスのパルス幅よりも広い

ことを特徴とする請求項 4 記載の表示装置。

**【請求項 7】**

前記画素の電気光学素子が液晶セルである

ことを特徴とする請求項 1 記載の表示装置。

**【請求項 8】**

前記第二のスイッチ群の各スイッチは、飛び飛びに配された第一組のスイッチ群と、当該第一組に属する各スイッチから一個ずれて配された第二組のスイッチ群との少なくとも二組に分かれているとともに、当該少なくとも二組のスイッチ群には前記映像信号が少なくとも二系統に分かれて供給され、

前記第一のスイッチ群で生成された前記サンプリングパルスは、前記第二のスイッチ群の少なくとも二組のスイッチ群に分けて供給される

ことを特徴とする請求項 6 記載の表示装置。

**【請求項 9】**

画素が行列状に配置され、これら画素配列の各垂直画素列ごとに信号線が配線されてなる画素アレイ部と、

水平走査の開始を指令する水平スタートパルス、水平走査の基準となる第一のクロックパルスおよび当該第一のクロックパルスに同期した  $n$  相 ( $n$  は 3 相以上の整数) の第二のクロックパルスを生成するクロック生成手段と、

前記水平スタートパルスを前記第一のクロックパルスに同期して順に転送する転送段が縦続接続されてなり、各転送段から転送パルスを順次出力するシフトレジスタと、

前記シフトレジスタから順次出力される前記転送パルスに应答して前記第二のクロックパルスを抜き取ることによってサンプリングパルスを順次生成する第一のスイッチ群と、

入力される映像信号を前記第一のスイッチ群で生成された前記サンプリングパルスに应答して順次サンプリングして前記画素アレイ部の各信号線に供給する第二のスイッチ群とを備えた表示装置の駆動方法であって、

前記スタートパルスのパルス幅を、前記第一のクロックパルスの複数のパルスを含むパルス幅に設定した

ことを特徴とする表示装置の駆動方法。

**【請求項 10】**

前記第二のクロックパルスの周期は、前記第一のクロックパルスの  $n$  倍である

ことを特徴とする請求項 9 記載の表示装置の駆動方法。

**【請求項 11】**

前記第二のクロックパルスのパルス幅は、前記第一のクロックパルスのパルス幅よりも広い

ことを特徴とする請求項 9 記載の表示装置の駆動方法。

## 【書類名】明細書

## 【発明の名称】表示装置およびその駆動方法

## 【技術分野】

## 【0001】

本発明は、表示装置およびその駆動方法に関し、特に点順次駆動方式のアクティブマトリクス型表示装置およびその駆動方法に関する。

## 【背景技術】

## 【0002】

電気光学素子を含む画素が多数の行列状に配置され、これら画素の配列に対して行ごとに走査ラインが、列ごとに信号ラインが配線されてなる画素アレイ部と、この画素アレイ部の各画素を行単位で選択する垂直駆動回路と、この垂直駆動回路によって選択された行の各画素に映像信号を書き込む水平駆動回路とを有するアクティブマトリクス型表示装置において、点順次駆動方式は、例えばシリアル入力されるアナログ映像信号を1水平走査期間に亘って順次サンプリングし、このサンプリングした映像信号を画素アレイ部の対応する信号線に書き込む方式のものである。

## 【0003】

この点順次駆動方式のアクティブマトリクス型表示装置では、高精細化に伴って特に水平方向の画素数が増えると、1系統で入力される映像信号を、限られた水平有効期間内で全画素について順番にサンプリングするためのサンプリング期間を十分に確保することが難しくなる。そこで、サンプリング期間を十分に確保するために、従来から、映像信号をm系統（mは2以上の整数）で並列に入力する一方、水平方向のm個の画素（ドット）を単位としてm個のサンプリングスイッチを設け、1つのサンプリングパルスでm個のサンプリングスイッチを同時に駆動することによってm画素単位で順次書き込みを行うmドット同時サンプリング駆動方式が採られている（例えば、特許文献1参照）。

## 【0004】

【特許文献1】特開2003-66914号公報（特に、段落0011、図16）

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

ところで、画像表示装置の高画質化・高精細化が進むにつれ、例えば投射型液晶表示装置（液晶プロジェクタ装置）においても、300万画素クラスのQXGA（H（水平）：2048×V（垂直）：1536）のグラフィック表示規格の要求が高まってきている。投射型液晶表示装置は、液晶パネル（液晶ライトバルブ）を光スイッチング素子として利用し、液晶ライトバルブ上の画像を投射光学系によってスクリーン上に拡大投影する表示装置である。

## 【0006】

この投射型液晶表示装置において、液晶ライトバルブとして用いられるアクティブマトリクス型液晶表示装置では、これまでのグラフィック表示規格であるXGA（H：1024×V：768）の場合、12ドット同時サンプリング駆動方式（m=12）を採用していたが、QXGA表示規格の場合は画素数がXGA表示規格の4倍になるため、同時サンプリング数mについてもさらに多くせざるを得なくなる。一般的には、同時サンプリング数mを例えば画素数と同じくXGAの同時サンプリング数の4倍に設定し、48ドット同時サンプリング駆動方式を採用することになる。

## 【0007】

しかしながら、同時サンプリング数mが多くなると、映像信号をサンプリングして信号線に書き込む水平スイッチを駆動するサンプリングパルスのトランジェントの抵抗・容量負荷によるなまりが悪化するという課題がある。このサンプリングパルスの遅延やなまりはゴーストの発生要因となる。ここで、ゴーストの発生原因について説明する。図10に、映像信号に含まれる黒レベルのピークを、N段（N列）の画素列に書き込む場合におけるゴーストの発生原因を模式的に示す。

## 【0008】

初期段階、即ち通電して動作を安定させるエージング前では、サンプリングパルスの遅延は生じていないため、正確にN段のサンプリングパルスで映像信号の黒レベルをサンプリングできる。したがって、前ゴーストは発生しない。これに対してエージング後では、サンプリングパルスに遅延が生じるため、場合によっては前段(N-1段)のドライブパルスで映像信号の黒レベルのピークを一部サンプリングしてしまうことがある。これにより前ゴーストが生じる。

## 【0009】

具体的には、液晶パネルを長時間使用することにより、サンプリングパルスが通過する回路系中に介在するトランジスタのホットキャリアストレスのため閾値電圧 $V_{th}$ が増加し、その結果、サンプリングパルスが時間軸上の後ろ方向にドリフトするため前ゴーストが発生する。特に、上記トランジスタとして、TFT(Thin Film Transistor; 薄膜トランジスタ)を用いた場合、TFTのホットキャリアストレスによるサンプリングパルスの遅延幅は30ns程度である。

## 【0010】

また、アクティブマトリクス型液晶表示装置では、各画素に書き込む映像信号の極性を1H(Hは水平走査期間)ごとに反転させる1H反転駆動の場合、信号線とコモン線間、信号線と走査線間の寄生容量のカップリングによって信号線上の映像信号がコモン線や走査線に飛び込む。この映像信号の飛び込みにより、コモン線・走査線の電位のゆれ量が増加するため、図11に示すように、横クロストーク(A)やウィンドウ帯(B)の発生が顕著になり、画質が大きく損なわれる。図11には、信号線に黒レベルを書き込んだ際に、信号線の電位のゆれがコモン線もしくは走査線にカップリングを通して飛び込むことによって生じる現象を示している。

## 【0011】

本発明は、上記課題に鑑みてなされたものであって、その目的とするところは、同時サンプリング数mが多くなっても、サンプリングパルスの遅延やなまりに起因する画質不良や、信号線-コモン線・走査線間のカップリングによる画質不良を抑制可能な表示装置およびその駆動方法を提供することにある。

## 【課題を解決するための手段】

## 【0012】

上記目的を達成するために、本発明では、画素が行列状に配置され、これら画素配列の各垂直画素列ごとに信号線が配線されてなる画素アレイ部と、水平走査の開始を指令する水平スタートパルス、水平走査の基準となる第一のクロックパルスおよび当該第一のクロックパルスに同期したn相(nは3相以上の整数)の第二のクロックパルスを生成するクロック生成手段と、前記水平スタートパルスを前記第一のクロックパルスに同期して順に転送する転送段が縦続接続されてなり、各転送段から転送パルスを順次出力するシフトレジスタと、前記シフトレジスタから順次出力される前記転送パルスに応答して前記第二のクロックパルスを抜き取ることによってサンプリングパルスを順次生成する第一のスイッチ群と、入力される映像信号を前記第一のスイッチ群で生成された前記サンプリングパルスに응答して順次サンプリングして前記画素アレイ部の各信号線に供給する第二のスイッチ群とを備えた表示装置において、前記スタートパルスのパルス幅を、前記第一のクロックパルスの複数のパルスを含むパルス幅に設定した構成を採っている。

## 【0013】

上記の構成において、シフトレジスタは、水平スタートパルスが与えられると、当該水平スタートパルスを第一のクロックパルスに同期して順に転送し、各転送段から順次転送パルスを出力し、第一のスイッチ群の各スイッチに与える。第一のスイッチ群の各スイッチは、シフトレジスタからの転送パルスに응答して第二のクロックパルスを抜き取る。ここで、水平スタートパルスが第一のクロックパルスの複数のパルスを含むパルス幅を持つことで、第二のクロックパルスを抜き取る転送パルスのパルス幅が水平スタートパルスのパルス幅に対応して広がるため、当該第二のクロックパルスとこれを抜き取る転送パル

スとの間の位相関係にマージンを大きくとることができる。これにより、第二のクロックパルスに遅延や波形のなまりが生じたとしても、その影響を受けて抜き取られるパルスの幅が狭められたり、パルス幅が変動したりするようなことがなく、当該第二のクロックパルスのパルス幅のまま、即ち常に一定のパルス幅で抜き取られる。この抜き取られたクロックパルスは、第二のスイッチ群の各スイッチにサンプリングパルスとして与えられる。

#### 【発明の効果】

##### 【0014】

本発明によれば、水平スタートパルスに第一のクロックパルスの複数のパルスを含むパルス幅を持たせ、第二のクロックパルスとこれを抜き取る転送パルスとの間の位相関係のマージンを大きくとることにより、第二のクロックパルスに遅延や波形のなまりが生じたとしても、その影響を受けることなく、当該第二のクロックパルスと同じ一定のパルス幅のサンプリングパルスを生成できることによって縦筋等をより確実に抑制することができるため、画質を向上できる。

#### 【発明を実施するための最良の形態】

##### 【0015】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

##### 【0016】

図1は、本発明の一実施形態に係る表示装置、具体的には点順次駆動方式のアクティブマトリクス型表示装置の基本構成を模式的に示すブロック図である。図1において、表示パネル10には、本表示装置の基本的な構成要素である画素アレイ部11、垂直駆動回路12L、12R、水平駆動回路13およびサンプリングスイッチ群14などが集積されている。ここでは、画素アレイ部11の左右両側に垂直駆動回路12L、12Rを配置する構成を採っているが、一方側のみ垂直駆動回路を配置する構成であっても良い。また、上記の構成要素の他に、必要に応じて画質改善を目的として、映像信号の書き込みに先立ってプリチャージを行うためのプリチャージ回路15が、画素アレイ部11を挟んで水平駆動回路13の反対側に設けられる。

##### 【0017】

画素アレイ部11は、行列状に2次元配置された多数の画素16を有し、これら多数の画素16の配列に対して信号線17が各列ごとにその画素配列方向に沿って配線されるとともに、走査線（ゲート線）18が各行ごとにその画素配列方向に沿って配線された構成となっている。換言すれば、画素アレイ部11は、マトリクス状に配線された信号線17と走査線18とが交差する部分に画素16の各々が配された構成となっている。本実施形態に係る表示装置では、一例として、QXGA（H：2048×V：1536）のグラフィック表示規格に対応した画素数を持っている。

##### 【0018】

垂直駆動回路12L、12Rは、例えば信号を順に転送するレジスタ段（転送段）が縦続接続されてなるシフトレジスタによって構成され、各レジスタ段の出力端に接続された走査線18の各々に対して順次走査パルスを与えることにより、当該走査パルスが与えられた走査線18に接続されている1行分の画素18を行単位で順に選択する。水平駆動回路13は、例えば表示パネル10の外部に設けられたタイミングジェネレータ（TG；タイミング生成回路）20で生成される各種のタイミングパルスに基づいて動作し、サンプリングパルスを順次発生してスイッチ群14の各スイッチHSWを順に駆動する。この水平駆動回路13の具体的な構成の詳細については後述する。

##### 【0019】

サンプリングスイッチ群14の各スイッチHSWは、少なくとも二系統に分かれて配線された映像ライン19A、19Bによって表示パネル10の外部から入力される映像信号を、水平駆動回路13から順次出力されるサンプリングパルスに同期して順にサンプリングし、画素アレイ部11の信号線17の各々に供給することにより、垂直駆動回路12L、12Rによって選択された行の各画素16に映像信号を書き込む。

##### 【0020】

具体的には、サンプリングスイッチ群 14 の各スイッチ H S W は、飛び飛びに配された第一組のサンプリングスイッチと、第一組に属する各サンプリングスイッチから一個ずつ配された第二組のサンプリングスイッチに分かれている。本実施形態では、サンプリングスイッチ群 14 の各スイッチ H S W を第一組と第二組の二組に分けるとしたが、場合によっては三組以上に分けることも可能である。

#### 【0021】

本実施形態のように、二組に分ける場合には、サンプリングスイッチ群 14 の各スイッチ H S W の配列において、奇数番目のサンプリングスイッチが第一組（奇数組）に属する一方、偶数番目のサンプリングスイッチが第二組（偶数組）に属することとなる。奇数組のサンプリングスイッチには第一系統の映像ライン 19 A が接続され、偶数組のサンプリングスイッチには第二系統の映像ライン 19 B が接続される。

#### 【0022】

本実施形態に係る表示装置では、Q X G A 表示規格に対応した画素数を持っており、画素数が X G A 表示規格の 4 倍であることから、同時サンプリング数  $m$  を例えば画素数と同じく X G A の同時サンプリング数の 4 倍に設定し、24 ドット + 24 ドットの計 48 ドット同時サンプリング駆動方式を採用する。具体的には、第一系統の映像ライン 19 A および第二系統の映像ライン 19 B をそれぞれ 24 本の配線の集合とし、合計 48 本の映像ライン 19 A, 19 B を介して供給される映像信号を、24 ドットずつの二系統に分けて同時にサンプリング（24 ドット + 24 ドット同時サンプリング）して行列状の画素 16 の各々に書き込むようにする。

#### 【0023】

より具体的には、サンプリングスイッチ群 24 において、奇数組に属するサンプリングスイッチ H S W は 24 個のスイッチからなり、24 本の映像ライン 19 A から供給される 24 個の映像信号 S I G 1 ~ S I G 24 を同時にサンプリングして 24 本の信号線 17 の各々に供給する。偶数組に属するサンプリングスイッチ H S W も 24 個のスイッチからなり、奇数組に属するサンプリングスイッチ H S W のサンプリング動作と並行して、24 本の映像ライン 19 B から供給される 24 個の映像信号 S I G 25 ~ S I G 48 を同時にサンプリングして 24 本の信号線 17 の各々に供給する。

#### 【0024】

図 2 は、図 1 に示した水平駆動回路 13 の具体的な構成例を示すブロック図である。この水平駆動回路 13 には、表示パネル 10 の外部に設けられたタイミングジェネレータ 20 で生成される各種のタイミングパルスが適宜供給される。タイミングジェネレータ 20 では、各種のタイミングパルスとして、水平走査の開始を指令する水平スタートパルス H S T、水平走査の基準となる互いに逆相の水平クロックパルス H C K, H C K X、水平クロックパルス H C K, H C K X に同期した  $n$  相（ $n$  は 3 以上の整数）、例えば 4 相のクロックパルス D C K 1 ~ D C K 4 等が生成される。水平スタートパルス H S T、水平クロックパルス H C K, H C K X および 4 相のクロックパルス D C K 1 ~ D C K 4 のタイミング関係を図 3 に示す。

#### 【0025】

図 3 のタイミングチャートから明らかなように、水平クロックパルス H C K, H C K X はデューティ比が 50 % のパルス信号である。この水平クロックパルス H C K, H C K X に対して、水平スタートパルス H S T は水平クロックパルス H C K の複数のパルス、本例では 2 つのパルスを含むパルス幅を持っている。また、4 相のクロックパルス D C K 1 ~ D C K 4 は、水平クロックパルス H C K, H C K X の 2 倍の周期で、かつ水平クロックパルス H C K, H C K X よりもパルス幅が広く（例えば、水平クロックパルス H C K, H C K X のパルス幅の 1.5 倍）、互いに 90° の位相差を持っている。

#### 【0026】

水平駆動回路 17 は、シフトレジスタ 21 および抜取スイッチ群 22 によって構成されている。シフトレジスタ 21 は、水平クロックパルス H C K, H C K X に同期して水平スタートパルス H S T のシフト（転送）動作を行い、各レジスタ段（S/R）から転送パル



ス1, 2, 3, 4, 5, 6…を順次出力する。なお、本実施形態に係る表示装置では、24ドット+24ドット同時サンプリング駆動方式を採用することから、水平クロックパルスHCK, HCKXの周期を、48ドット同時サンプリング駆動方式を採る場合の半分に設定することによってシフトレジスタ21を倍速駆動とする。

#### 【0027】

シフトレジスタ21から順次出力される転送パルス1, 2, 3, 4, 5, 6…は、抜取スイッチ群22の各抜取スイッチCKSWに与えられる。抜取スイッチ群22の各抜取スイッチCKSWは、サンプリングスイッチ群14と同様に、三つ飛びに配された第一組の抜取スイッチと、第一組に属する各抜取スイッチから一個ずれて配された第二組の抜取スイッチと、第二組に属する各抜取スイッチから一個ずれて配された第三組の抜取スイッチと、第三組に属する各抜取スイッチから一個ずれて配された第四組の抜取スイッチとに分かれている。

#### 【0028】

そして、第一組の抜取スイッチはクロックパルスDCK2を、第二組の抜取スイッチはクロックパルスDCK3を、第三組の抜取スイッチはクロックパルスDCK4を、第四組の抜取スイッチはクロックパルスDCK1をそれぞれ入力とする。これにより、抜取スイッチ群22の各スイッチCKSWは、シフトレジスタ21から順に出力される転送パルス1, 2, 3, 4, 5, 6, …が与えられると、当該転送パルス1, 2, 3, 4, 5, 6, …に応答してクロックパルスDCK2, 3, 4, 1を交互に抜き取る動作を行う。この抜き取り動作により、水平クロックパルスHCK, HCKXよりも幅の広いパルスが抜き取られることになる。

#### 【0029】

この抜き取られたパルスは、サンプリングパルスSP1, SP2, SP3, SP4, SP5, SP6, …としてサンプリングスイッチ群14の各サンプリングスイッチHSWに与えられる。具体的には、奇数番目のサンプリングパルスSP1, SP3, SP5, …は奇数組（奇数段）に属するサンプリングスイッチHSWに、偶数番目のサンプリングパルスSP2, SP4, SP6, …は偶数組（偶数段）に属するサンプリングスイッチHSWにそれぞれ与えられる。

#### 【0030】

すなわち、水平駆動回路13から順次出力されるサンプリングパルスSP1, SP2, SP3, SP4, SP5, SP6, …は、奇数組に属するサンプリングスイッチHSWと偶数組に属するサンプリングスイッチHSWとに交互に振り分けられる。4相のクロックパルスDCK1, DCK2, DCK3, DCK4、転送パルス1, 2, 3, 4, 5, 6およびサンプリングパルスSP1, SP2, SP3, SP4, SP5, SP6のタイミング関係を図3に示す。

#### 【0031】

このように、サンプリングパルスSP1, SP2, SP3, SP4, SP5, SP6, …を奇数組と偶数組とで交互に振り分けるとともに、水平クロックパルスHCK, HCKXよりも幅の広いパルスとして生成することにより、図3のタイミングチャートから明らかのように、奇数パルス列の中で隣り合うサンプリングパルスは相互にパルス波形がオーバーラップしない（ノンオーバーラップ）波形となり、偶数パルス列の中で隣り合うサンプリングパルスもノンオーバーラップの波形となる。

#### 【0032】

ところで、点順次駆動方式のアクティブマトリクス型表示装置では、従来から、ゴーストや縦筋などが画質を低下させる要因の一つとして挙げられている。ゴーストは、サンプリングパルスの出力タイミングのばらつきや遅延などによって、隣接段の信号線にサンプリングすべき映像信号を誤って自段の信号線にサンプリングすることによって発生する画像欠陥である。このゴーストを抑制するには、可能な限り隣り合うサンプリングパルス相互間の間隔（ノンオーバーラップ時間）を大きく取ることが有効である。ただし、ノンオーバーラップ時間を拡大すると、その分だけサンプリングパルスの幅が狭くなる。

## 【0033】

一方、縦筋は、サンプリングパルスの幅がばらついたり変動したりすることで、信号線に対する映像信号のサンプリングが不十分もしくは不完全となり、隣接する画素列の画素との間で表示濃度に誤差が生じるために発生する画像欠陥である。この縦筋を抑制するには、サンプリングパルスのパルス幅を可能な限り広く設定することが好ましい。ただし、各行ごとのサンプリング期間が1水平有効期間内と限られているため、サンプリングパルスのパルス幅を広く設定すると、その分だけノンオーバーラップ時間が短縮される。

## 【0034】

すなわち、ゴーストを抑制するには隣接段のサンプリングパルス相互間のノンオーバーラップ時間を広く取ることが有効であり、縦筋を抑制するにはサンプリングパルスのパルス幅を広く取ることが有効である。しかしながら、上述したことから明らかなように、ゴーストと縦筋はトレードオフの関係にあるため、一方を改善しようとするとは他方が犠牲になってしまう。

## 【0035】

これに対して、本実施形態に係る表示装置では、映像信号を二系統に分け、それに対応してサンプリングパルスを奇数組と偶数組とで交互に振り分けるとともに、水平クロックパルスHCK、HCKXよりも幅の広いパルスとして抜き取ることにより、サンプリングパルスを隣接段同士はオーバーラップさせ、奇数段同士および偶数段同士はノンオーバーラップとしてサンプリングスイッチ群14の各サンプリングスイッチHSWを駆動することができるため、ゴーストを発生させないようにすることができる。

## 【0036】

ここで、ゴーストを発生させないための本発明の作用について、図4を用いてさらに詳細に説明する。一例として、奇数段（奇数画素列）3の画素に黒線を書き込む場合を考えると、映像信号は図示のような波形となる。この映像信号のピーク部分と対応して、奇数段3のサンプリングパルスが発生するようになっている。サンプリングパルスは経時的に位相が変化し、図示のようにエージング（通電して動作を安定させるための動作）による遅延が生じる。この結果、映像信号に対するサンプリングタイミングがずれることになるが、極端な遅延でない限り、奇数段3のサンプリングパルスは映像信号のピークをサンプリング可能である。これにより、画素アレイ部11の奇数段3に対応する画素列には、一本の黒線が表示される。

## 【0037】

一方、偶数段（偶数画素列）に供給される映像信号は、偶数段の画素には特に黒線を書き込まないので、ピークは含まれず背景色（本例では、白色）に対応した平坦な波形となっている。この平坦な映像信号は偶数段2、4のサンプリングパルスによって順次サンプリングされる。偶数段2のサンプリングパルスはエージングによる遅延で変化するが、映像信号は何ら黒線に対応したピークを含んでいないので、ゴーストは生じない。因みに、偶数段と奇数段で映像ラインを独立にしない場合は、偶数段2のサンプリングパルスはエージングによる遅延の結果、図5に示すように、奇数段3に書き込むべき映像信号のピークを誤ってサンプリングしてしまうため、いわゆる前ゴーストが現われることになる。

## 【0038】

また、縦筋に関しても、本実施形態に係る表示装置では、隣接段間でサンプリングパルス同士をオーバーラップさせる駆動方式を採用していることにより、図6に示すように、前段がホールドする前に自段の信号線電位を書き込み始めるため、縦筋を除去することができる。因みに、隣接段間でサンプリングパルス同士をオーバーラップさせないノンオーバーラップ駆動方式を採用した場合は、図7に示すように、隣接する信号線 $17-n$ 、 $17-n+1$ 間にあるカップリング容量により、前段のホールドした電位を自段により引き上げてしまうことによって縦筋が生じることになる。

## 【0039】

特に、本実施形態に係る表示装置では、水平スタートパルスHSTに水平クロックパルスHCKの複数（本例では、2つ）のパルスを含むパルス幅を持たせるとともに、抜取ス

イチ群 22 で抜き取られるクロックパルス DCK を 3 相以上 (本例では、4 相) としたことにより、クロックパルス DCK を抜き取る転送パルスのパルス幅が水平スタートパルス HST のパルス幅に対応して広がるため、抜き取られるクロックパルス DCK のパルス幅が水平クロックパルス HCK, HCKX のパルス幅よりも広くても、当該クロックパルス DCK とこれを抜き取る転送パルスとの間の位相関係に、マージン  $\alpha 1$ ,  $\alpha 2$  を大きくとることができる。その結果、クロックパルス DCK の位相ずれの影響を受けることなく、映像信号を確実にサンプリングすることができる。

#### 【0040】

すなわち、クロックパルス DCK が通過する回路系中に存在するトランジスタとして例えば TFT を用いた際に、当該 TFT の特性に起因してクロックパルス DCK に多少大きな位相ずれ (遅延や波形のなまりを含む) が生じたとしても、大きな位相マージン  $\alpha 1$ ,  $\alpha 2$  がクロックパルス DCK の前後に存在することによってクロックパルス DCK が転送パルスのパルス幅外になることがないため、クロックパルス DCK をそのまま抜き取ってサンプリングパルスとすることができる。したがって、クロックパルス DCK と同じパルス幅、即ち水平クロックパルス HCK, HCKX よりも広いパルス幅のサンプリングパルスを生成することができる。

#### 【0041】

縦筋を抑制する観点からすると、先述したように、サンプリングパルスのパルス幅は可能な限り広い方が、縦筋をより確実に抑制できる。したがって、クロックパルス DCK に位相ずれが生じたとしても、その位相ずれの影響を受けることなく、常に一定のパルス幅で、かつクロックパルス DCK と同じパルス幅のサンプリングパルスを生成できるため、サンプリングパルスのパルス幅が広いことによって信号線 17 に所望の電位を確実に書き込めるとともに、当該パルス幅が常に一定であることによって縦筋をより確実に抑制することができる。

#### 【0042】

(参考例)

因みに、水平スタートパルス HST に水平クロックパルス HCK の 1 つのパルスを含むパルス幅を持たせるとともに、クロックパルス DCK を 2 相とした場合のタイミング関係を参考例として図 8 に示す。この場合は、クロックパルス DCK を抜き取る転送パルスのパルス幅が水平スタートパルス HST のパルス幅に対応して狭いため、抜き取られるクロックパルス DCK と抜き取る転送パルスとの間の位相関係のマージン  $\alpha$  が極めて少なくならざるを得ない。

#### 【0043】

クロックパルス DCK と転送パルスとのパルス幅に余裕がないと、クロックパルス DCK にマージン  $\alpha$  よりも大きい位相ずれが生じた際に、クロックパルス DCK が転送パルスのパルス幅外になるため、サンプリングパルスのパルス幅がクロックパルス DCK のパルス幅よりも狭くなるとともに、位相ずれ量に応じてパルス幅がばらついたりし、極端な場合には隣り合いサンプリングパルスが次のサンプリングパルスと一緒になった 2 連のパルスとなる。その結果、サンプリングパルスのパルス幅が狭いことによって信号線 17 に所望の電位を書き込めなくなったり、パルス幅のばらつきによって縦筋が発生したり、さらにはサンプリングパルスが 2 連のパルスであることによって正常な画像を表示できなくなってしまう。

#### 【0044】

なお、本実施形態では、QXGA 表示規格に対応した場合を前提とし、映像信号を 24 ドットずつの二系統に分けて同時にサンプリングする 24 ドット + 24 ドット同時サンプリングを行う場合を例に挙げて説明したが、本発明は QXGA 表示規格への適用に限られるものではなく、また二系統に分けずに一系統で同時サンプリング (QXGA 対応では、48 ドット同時サンプリング) することも可能である。ただし、一系統での同時サンプリング駆動方式を採用する場合には、クロックパルス DCK のパルス幅を水平クロックパルス HCK, HCKX のパルス幅よりも狭くする必要がある。

## 【0045】

## (実施例)

図9は、上記実施形態に係る表示装置の具体的な実施例を示す回路図であり、図中、図1と同等部分には同一符号を付して示している。

## 【0046】

本実施例に係る表示装置は、液晶セルを画素16の表示エレメント（電気光学素子）として用いた点順次駆動方式のアクティブマトリクス型液晶表示装置である。ここでは、図面の簡略化のため、4行4列の画素配列の場合を例に採って示している。液晶表示装置の場合、図1に示す表示パネル10は、2枚の透明絶縁基板、例えばガラス基板を、一方のガラス基板を画素トランジスタであるTFTが配置されるTFT基板とし、他方のガラス基板を当該TFT基板と所定の間隙を持って配向配置される対向基板とし、両基板間に液晶材料を封止して一体化した液晶パネル（LCDパネル）である。

## 【0047】

図9において、行列状に配置された4行4列分の画素16の各々は、画素トランジスタである薄膜トランジスタTFTと、この薄膜トランジスタTFTのドレイン電極に画素電極が接続された液晶セルLCと、薄膜トランジスタTFTのドレイン電極に一方の電極が接続された保持容量Csとから構成されている。ここで、液晶セルLCは、画素電極とこれに対向して形成される対向電極との間で発生する液晶容量を意味する。

## 【0048】

これら画素11の各々に対して、信号線14-1～14-4が各列ごとにその画素配列方向に沿って配線され、走査線18-1～18-4が各行ごとにその画素配列方向に沿って配置されている。そして、薄膜トランジスタTFTのソース電極（又はドレイン電極）は、対応する信号線17-1～17-4にそれぞれ接続されている。薄膜トランジスタTFTのゲート電極は、走査線18-1～18-4にそれぞれ接続されている。液晶セルLCの対向電極および保持容量Csの他方の電極は、各画素間で共通にコモン線23に接続されている。このコモン線23には、所定の直流電圧がコモン電圧Vcomとして与えられている。

## 【0049】

以上により、画素16が行列状に配置され、これら画素16に対して信号線17-1～17-4が各列ごとに配線され、かつ走査線18-1～18-4が各行ごとに配線される画素アレイ部11が構成されている。この画素アレイ部11において、走査線18-1～18-4の各両端は、画素アレイ部11の例えば左右両側に配置された垂直駆動回路12L、12Rを構成するシフトレジスタの各レジスタ段の出力端に接続されている。

## 【0050】

上記実施例に係る点順次駆動方式のアクティブマトリクス型液晶表示装置において、画素アレイ部11の周辺の駆動回路、即ち垂直駆動回路12L、12R、水平駆動回路13およびサンプリングスイッチ群14等の構成については、図1および図2に示した実施形態に係る表示装置の場合と基本的に同じである。したがって、本実施例に係る液晶表示装置においても、先述した実施形態に係る表示装置の場合と同様に作用効果を得ることができる。

## 【0051】

加えて、本実施例に係る液晶表示装置では、例えばQXGA表示規格に対応する際に、一系統での48ドット同時サンプリング駆動方式ではなく、映像信号を24ドットずつの二系統に分けて同時にサンプリングする24ドット+24ドット同時サンプリング駆動方式を採用することにより、信号線17とコモン線23間、信号線17と走査線18間のカップリングによってある信号線上の映像信号がコモン線23あるいは走査線18に飛び込む量、その飛び込みに伴うコモン線23あるいは走査線18の電位のゆれ量をほぼ半減できるため、横クロストークやウィンドウ帯の発生を抑えることができるという作用効果を得ることもできる。

## 【産業上の利用可能性】

## 【0052】

本実施例に係る点順次駆動方式のアクティブマトリクス型液晶表示装置は、例えば、投射型液晶表示装置（液晶プロジェクタ装置）において、液晶ライトバルブとして用いて好適なものである。

## 【図面の簡単な説明】

## 【0053】

【図1】本発明の一実施形態に係る表示装置の基本構成を模式的に示すブロック図である。

【図2】水平駆動回路の具体的な構成例を示すブロック図である。

【図3】水平スタートパルスHST、水平クロックパルスHCK、HCKX、4相のクロックパルスDCK1～DCK4、転送パルス1～6およびサンプリングパルスSP1～SP6のタイミング関係を示すタイミングチャートである。

【図4】ゴーストが発生しない動作説明に供するタイミングチャートである。

【図5】ゴーストが発生する動作説明に供するタイミングチャートである。

【図6】縦筋が発生しない動作説明に供するタイミングチャートである。

【図7】縦筋が発生する動作説明に供するタイミングチャートである。

【図8】参考例の動作説明に供するタイミングチャートである。

【図9】本発明の一実施形態に係る表示装置の実施例を示す回路図である。

【図10】従来技術の課題の説明図（その1）である。

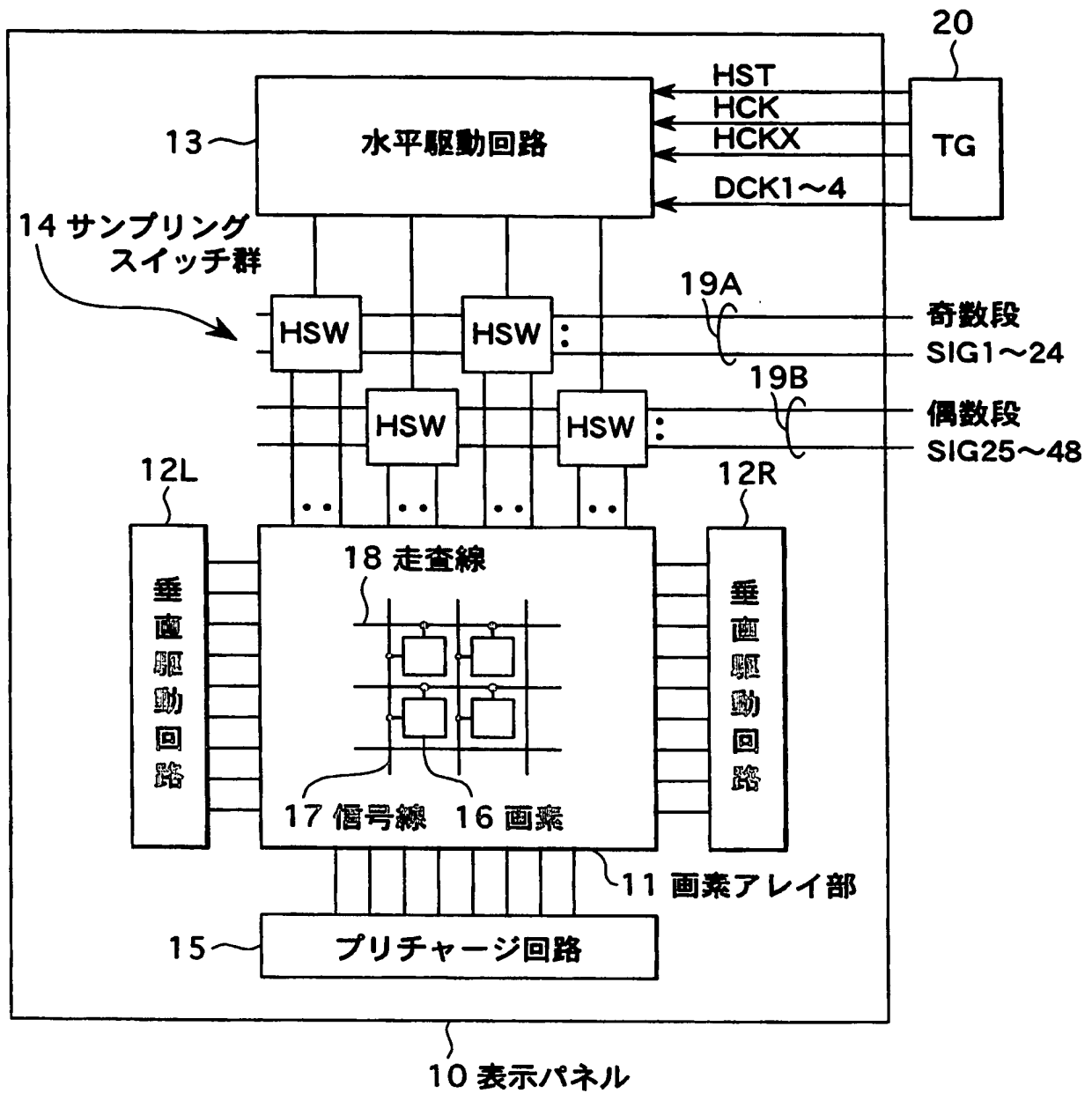
【図11】従来技術の課題の説明図（その2）である。

## 【符号の説明】

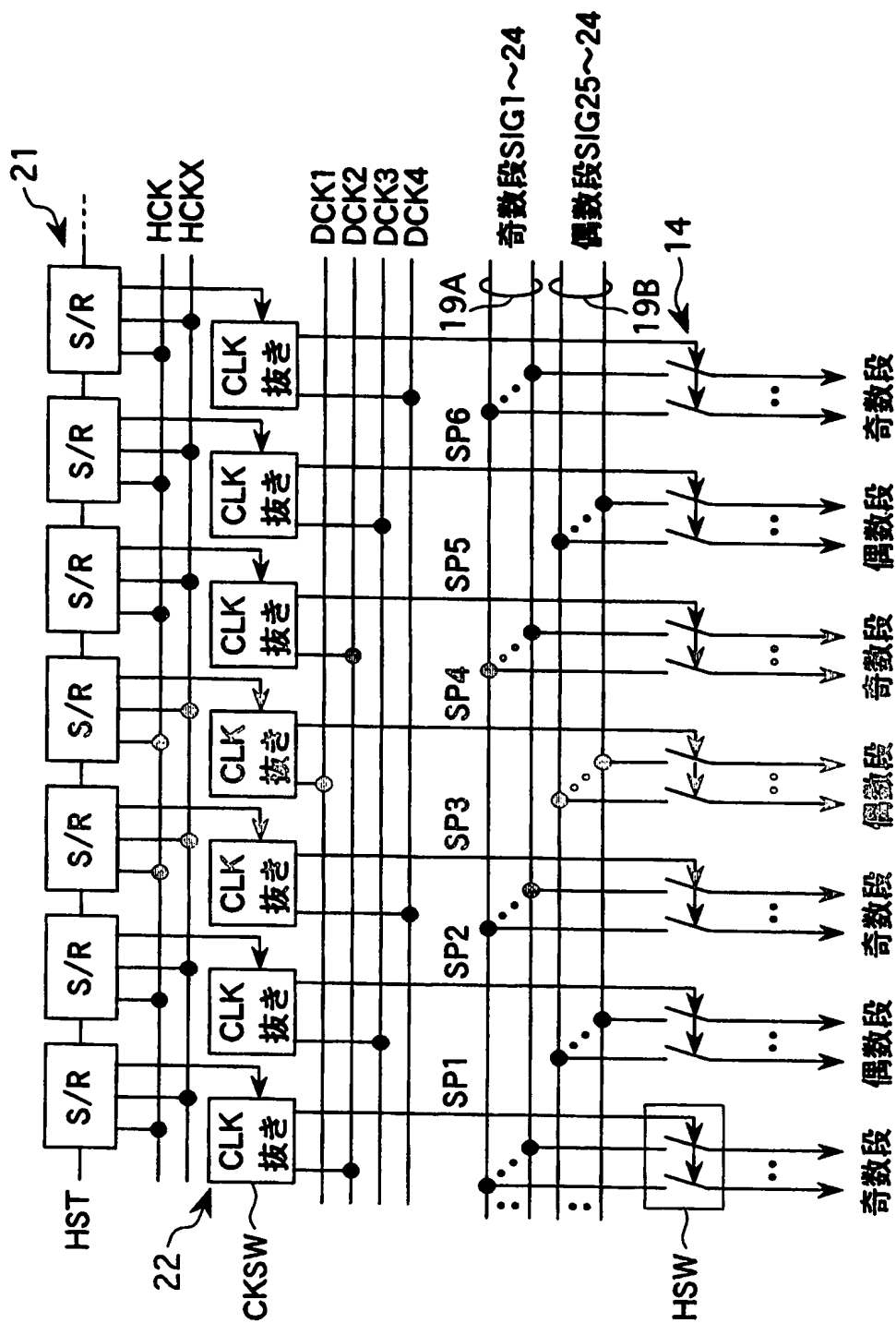
## 【0054】

10…表示パネル（液晶パネル）、11…画素アレイ部、12L、12R…垂直駆動回路、13…水平駆動回路、14…サンプリングスイッチ群、16…画素、17、17-1～17-4…信号線、18、18-1～18-4…走査線、19A、19B…映像ライン、20…タイミングジェネレータ（TG）、21…シフトレジスタ、22…抜取スイッチ群、23…コモン線

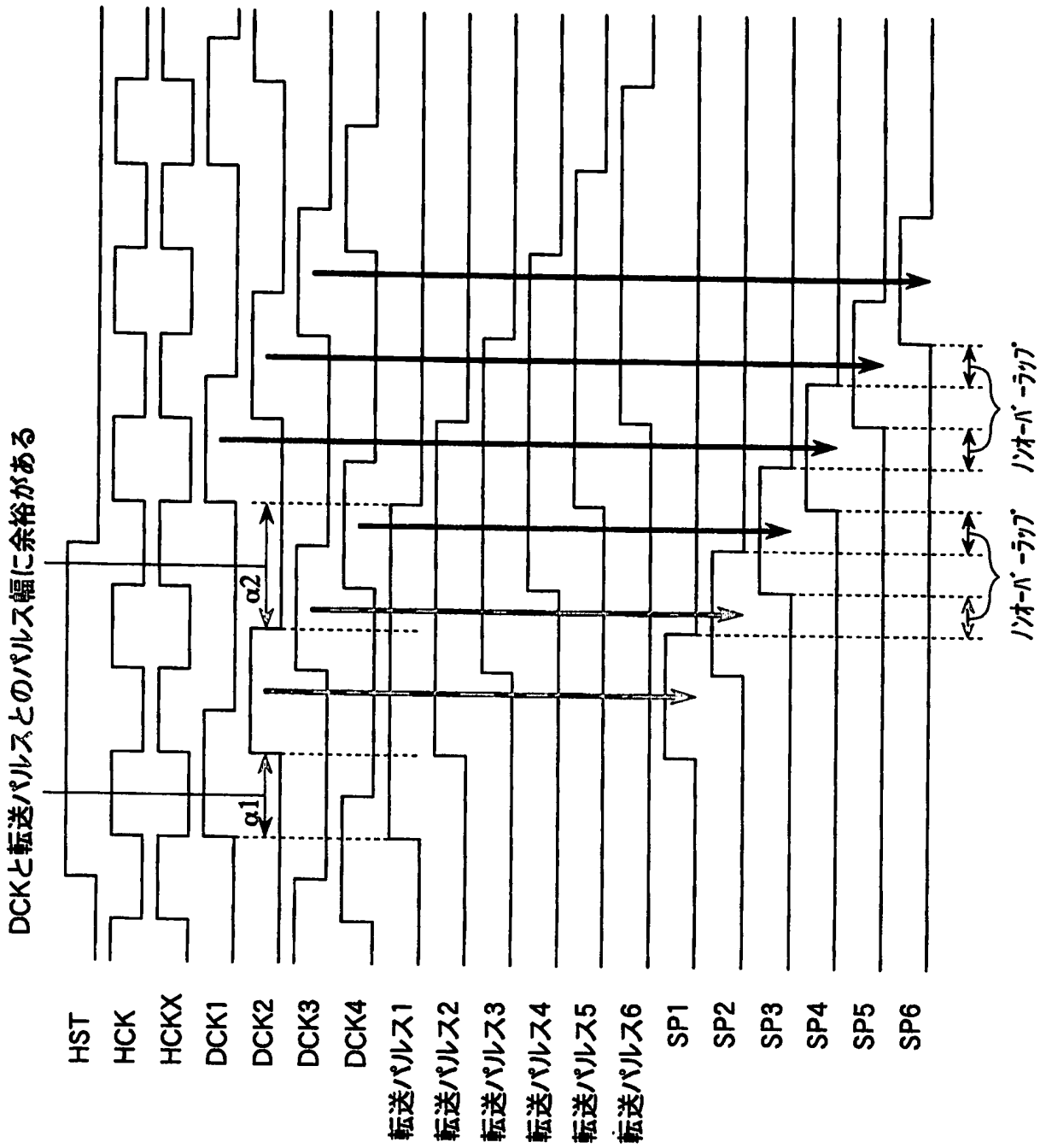
【書類名】 図面  
【図 1】



【図 2】

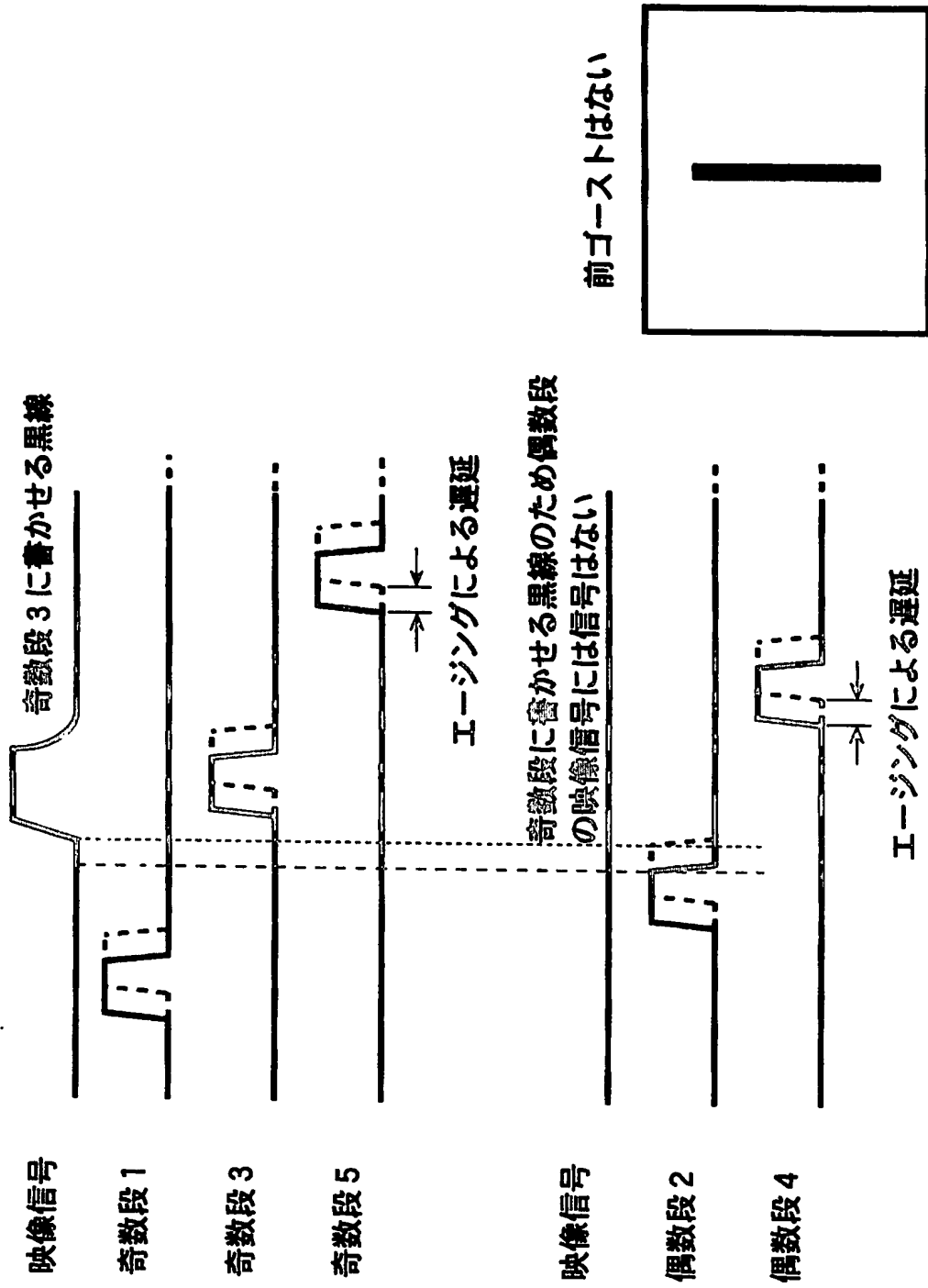


【図 3】

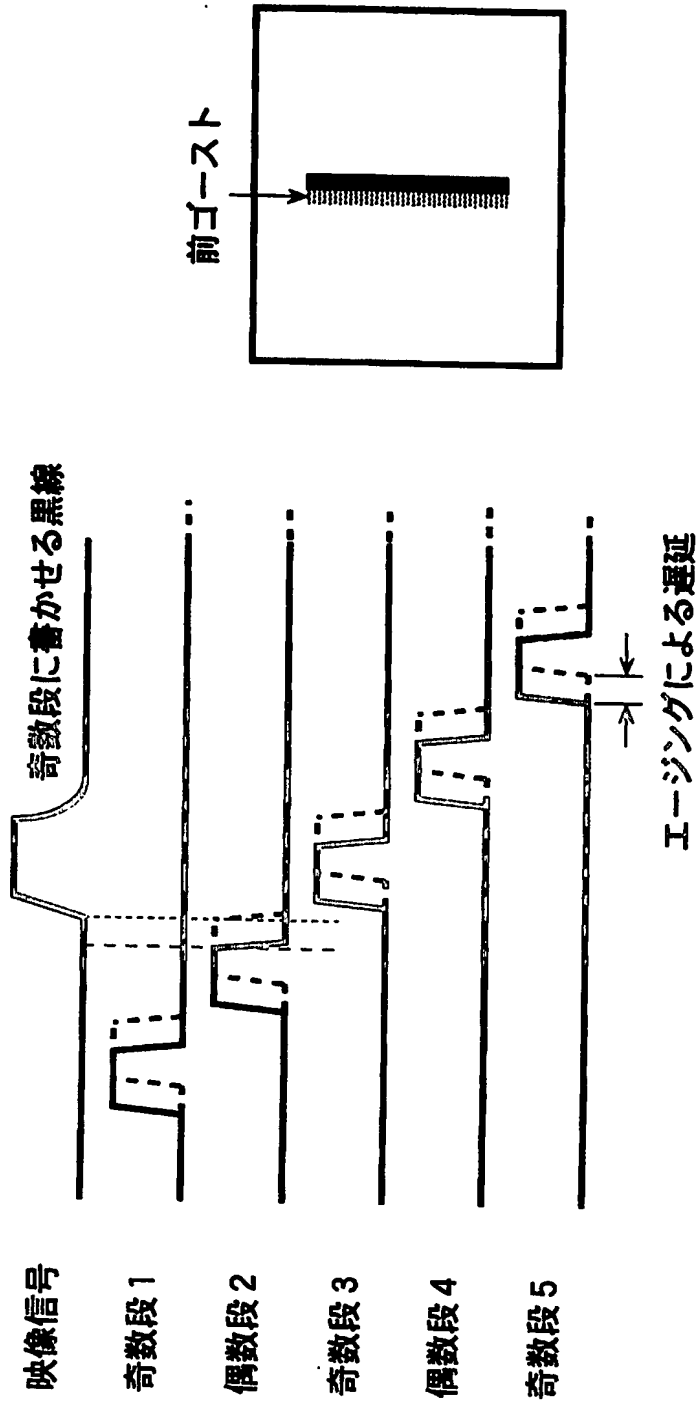




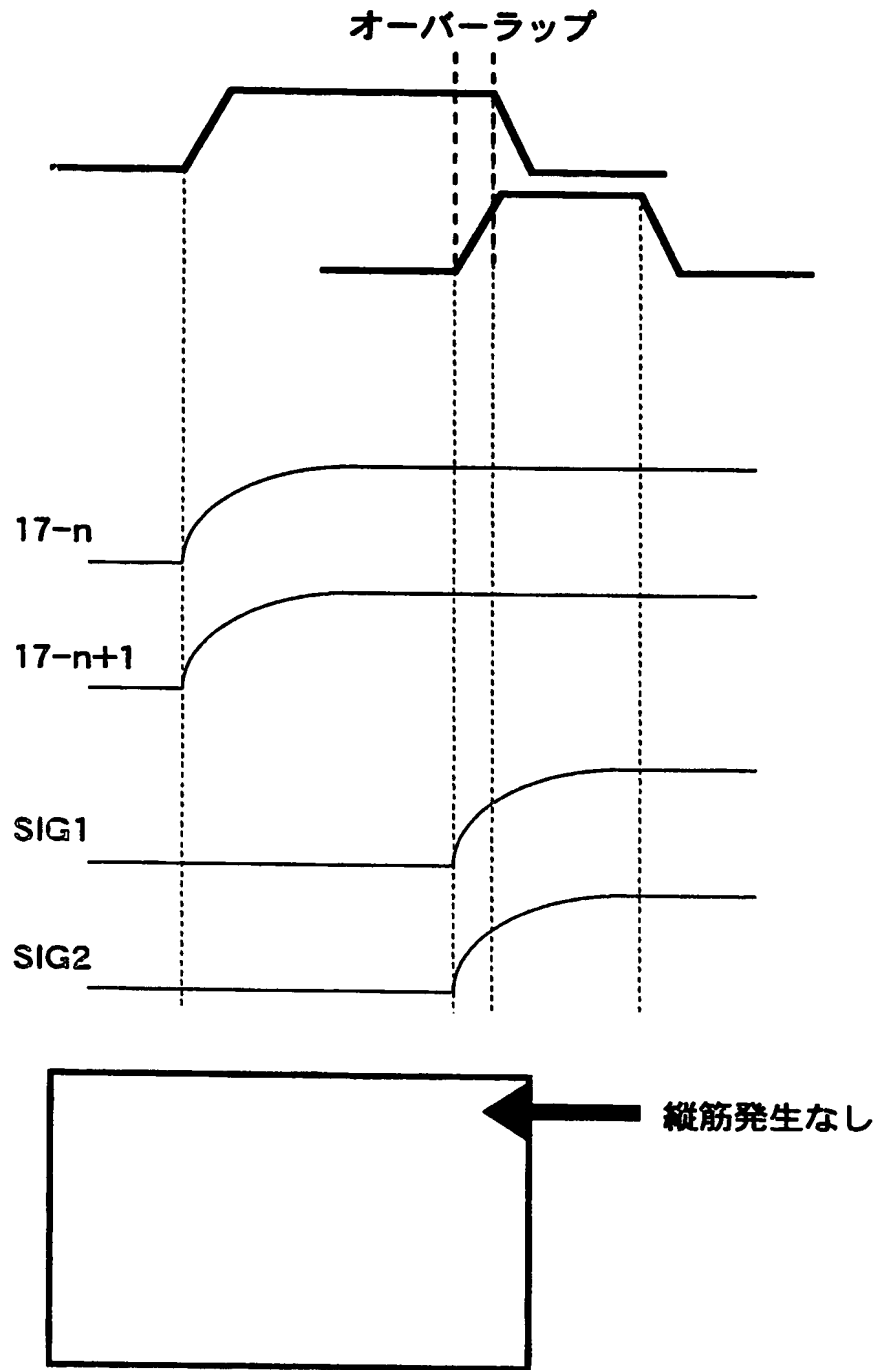
【図 4】



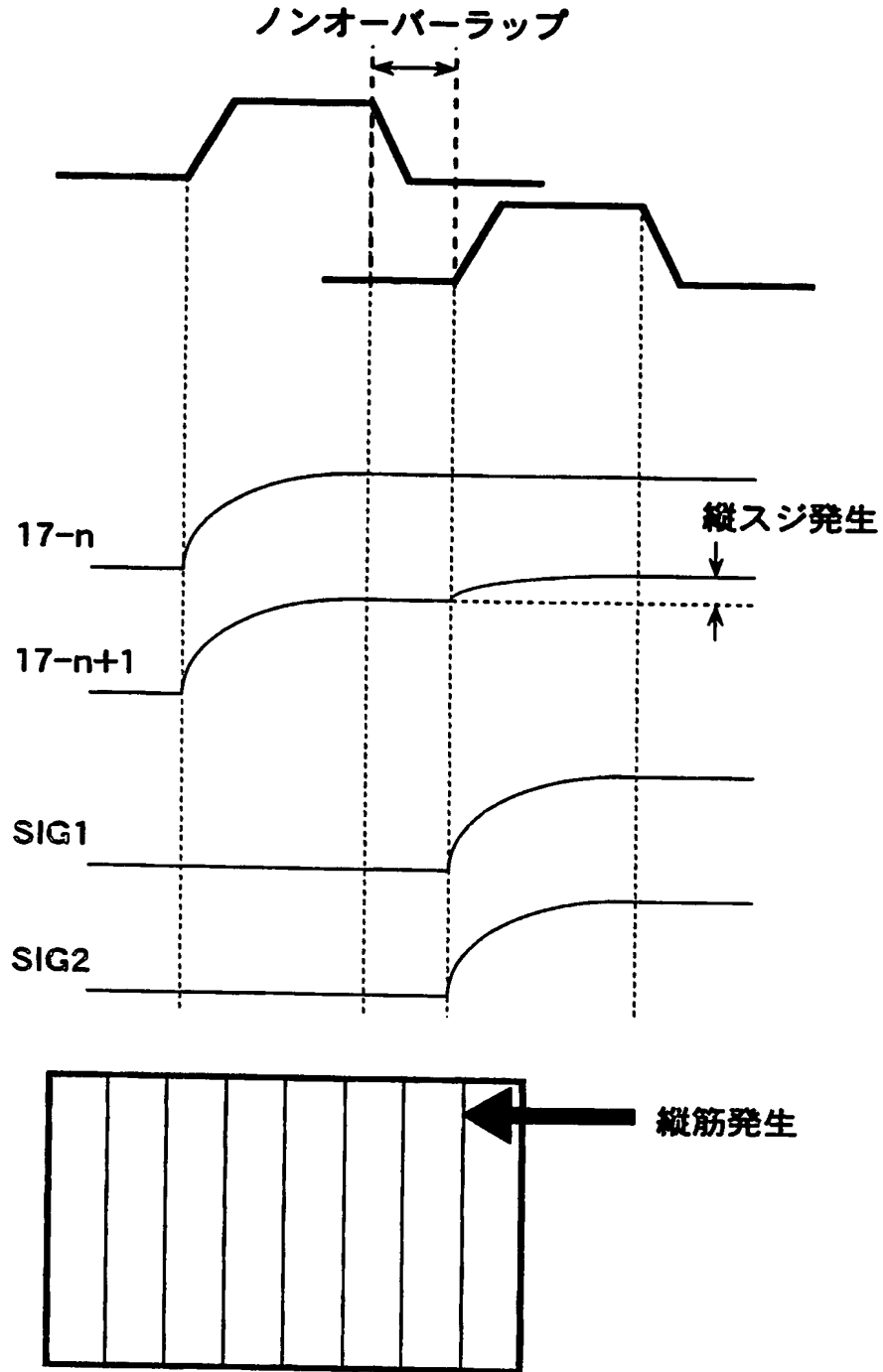
【図 5】



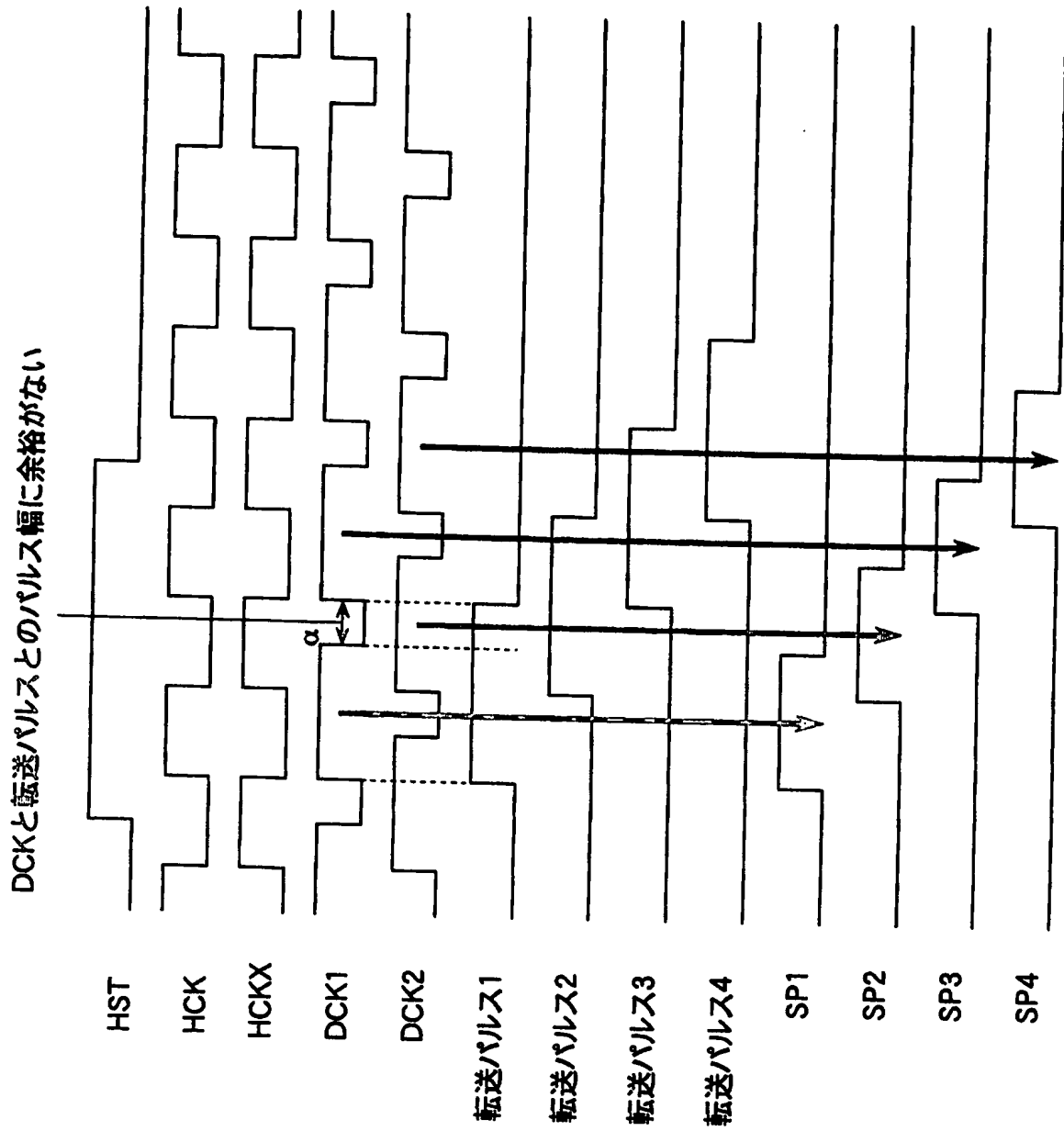
【図 6】



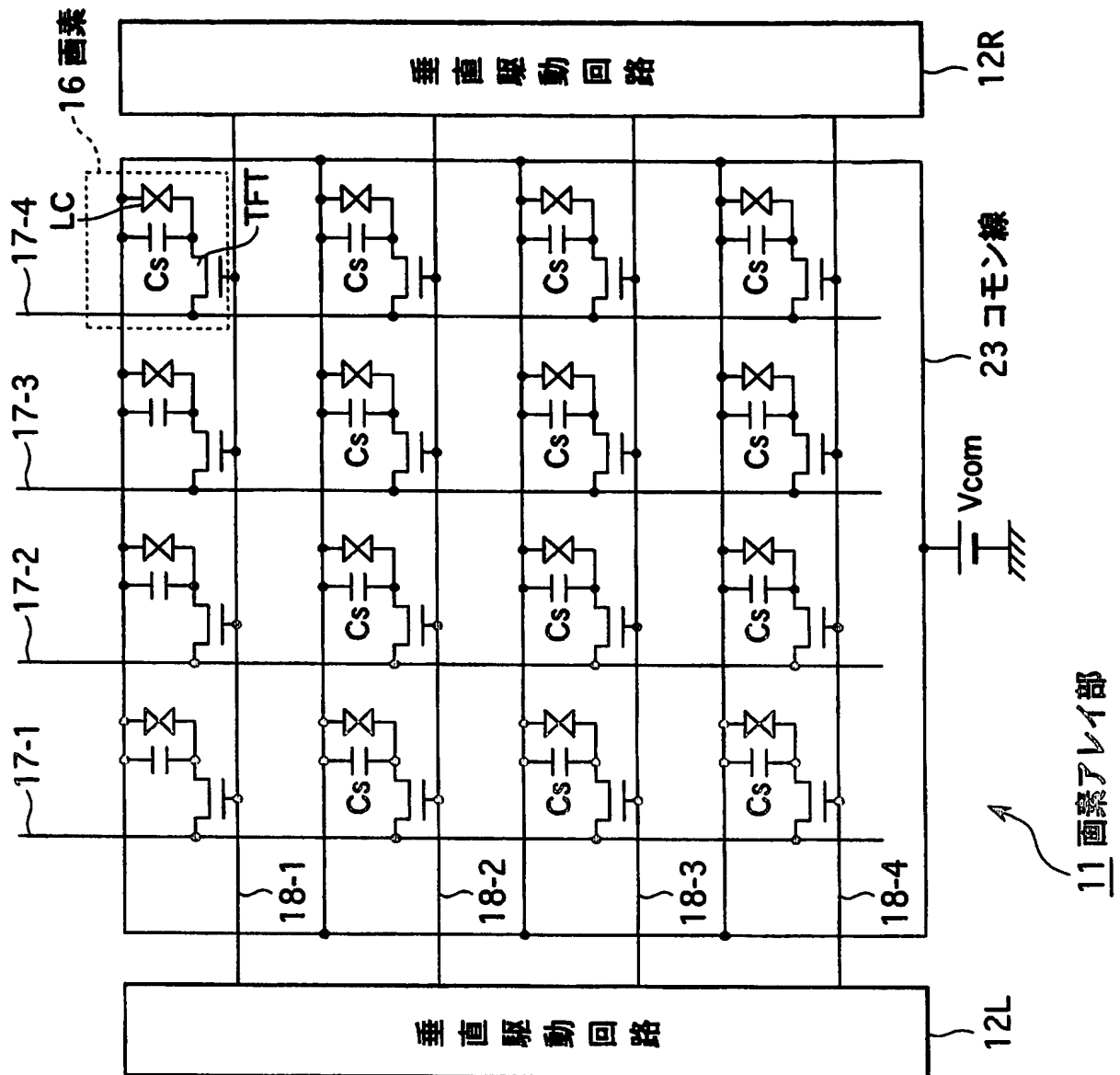
【図 7】



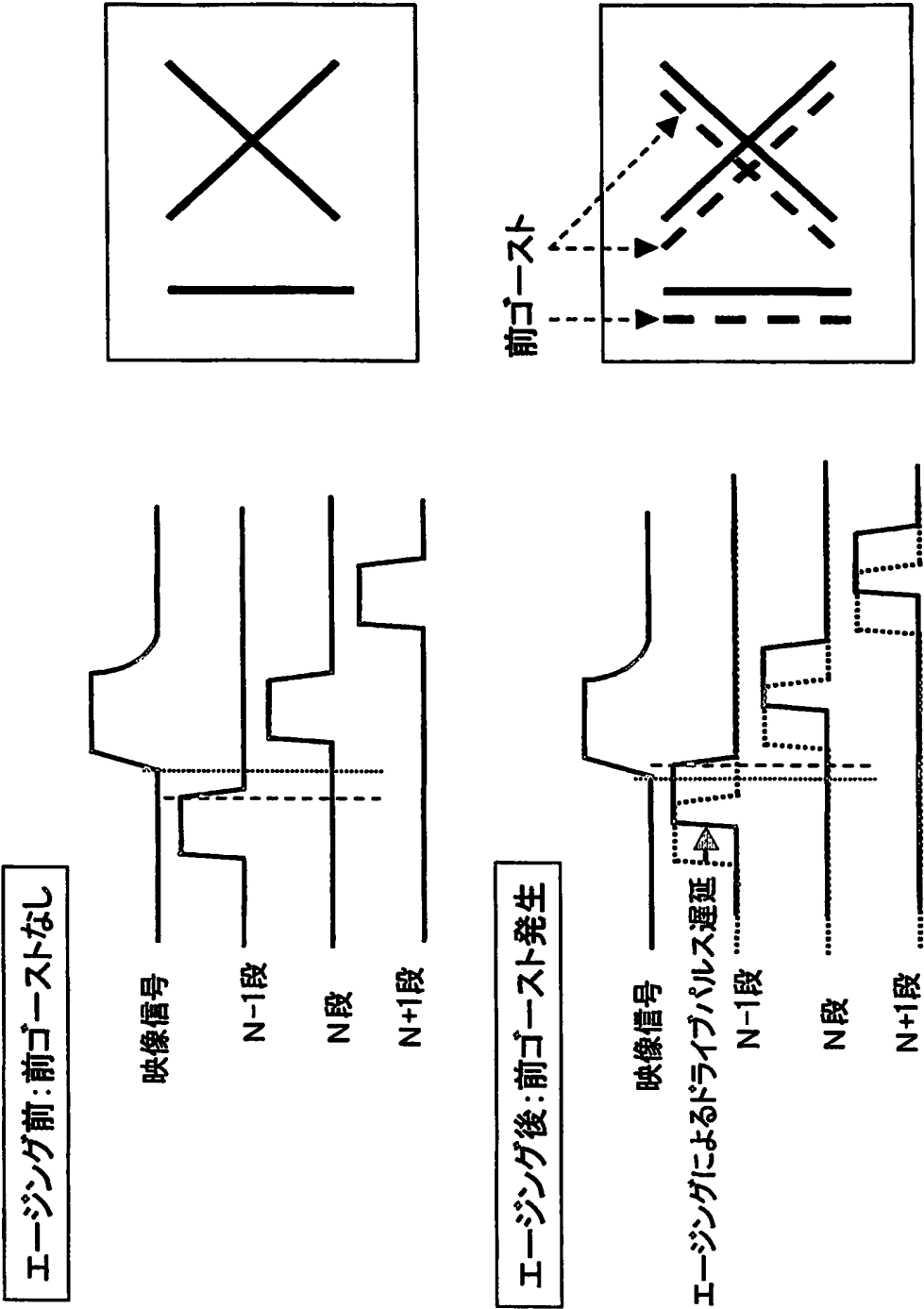
【図 8】



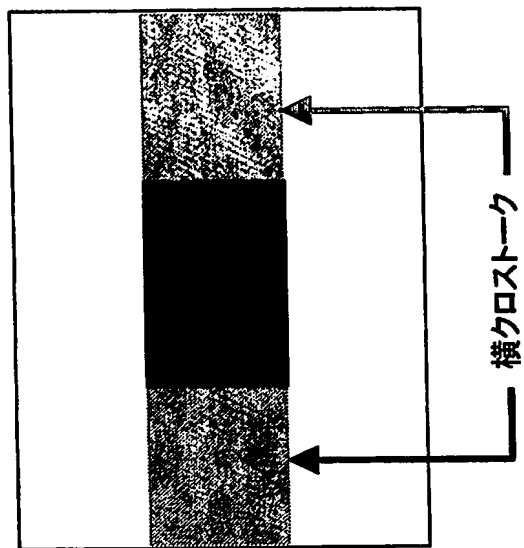
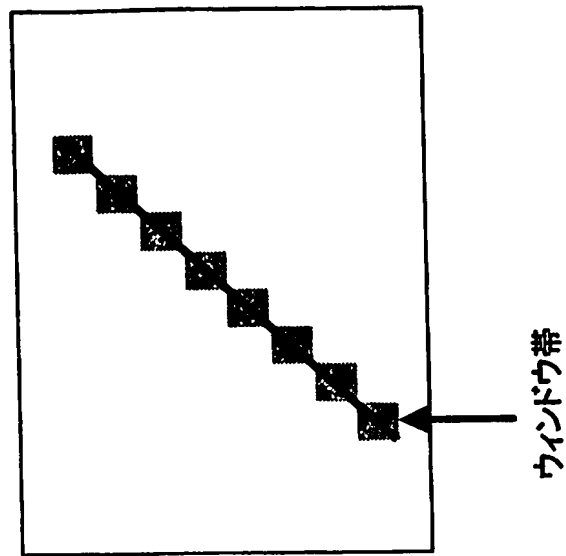
【図 9】



【図10】



【図 11】





**【書類名】要約書****【要約】**

**【課題】** 同時サンプリング数が多くなると、ゴーストの発生の要因となるサンプリングパルスの抵抗・容量負荷によるなまりが悪化する。

**【解決手段】** 水平スタートパルス HST に水平クロックパルス HCK, HCKX の例えば 2 つのパルスを含むパルス幅を持たせるとともに、クロックパルス DCK を 4 相とし、この 4 相のクロックパルス DCK 1 ~ 4 とこれを抜き取る転送パルスとの間の位相関係のマージン  $\alpha 1$ ,  $\alpha 2$  を大きくとることにより、クロックパルス DCK 1 ~ 4 に遅延や波形のなまりが生じたとしても、その影響を受けることなく、当該クロックパルス DCK 1 ~ 4 と同じ一定のパルス幅のサンプリングパルス SP 1 ~ SP 6 を生成できるようにする。

**【選択図】** 図 3

特願 2003-285621

出願人履歴情報

識別番号

[000002185]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住所

東京都品川区北品川6丁目7番35号

氏名

ソニー株式会社

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**